

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-325791

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

G11C 11/15

G11C 11/14

H01L 43/08

(21)Application number : 2000-142361

(71)Applicant : NEC CORP

(22)Date of filing : 15.05.2000

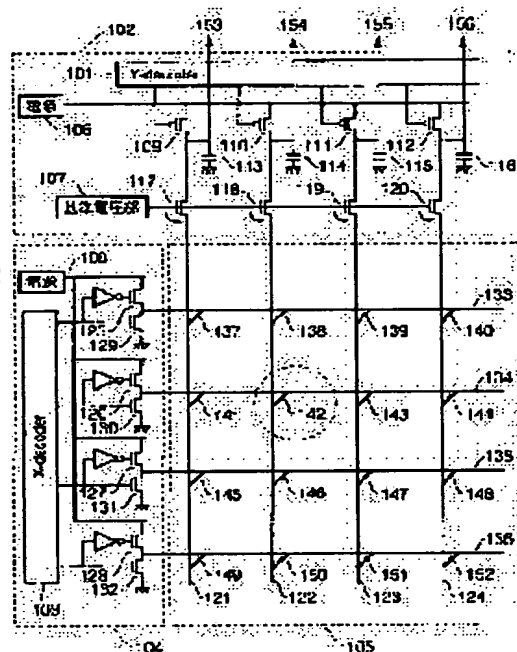
(72)Inventor : NUMATA HIDEAKI
TAKEDA KOICHI

(54) MAGNETIC RANDOM ACCESS MEMORY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable performing highly accurate and high speed read-out by preventing destruction of bias effect and tunnel barrier when voltage applied to a magneto resistive element is kept at a low level and a tunnel type magneto resistive element is used as a storage element.

SOLUTION: Potentials of all connected sense line 121-124 and potentials of all work lines 133, 136 being not selected are kept at an equal potential, a selected work line 134 is grounded, a capacitor 114 previously charged to high voltage is connected to the sense line 122 through a MOS transistor 118 as a voltage drop element, and capacitor 114 is connected to them so that the capacitor 114 can discharge charged electric charges through the MOS transistor 118, the sense line 122, a magneto resistive element 142, and the word line 134.



LEGAL STATUS

[Date of request for examination]

12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-325791

(P2001-325791A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 1 1 C 11/15		G 1 1 C 11/15	
11/14		11/14	Z
H 0 1 L 43/08		H 0 1 L 43/08	Z
			A

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願2000-142361 (P2000-142361)

(22) 出願日 平成12年5月15日 (2000. 5. 15)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 沼田 秀昭

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 武田 晃一

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100108578

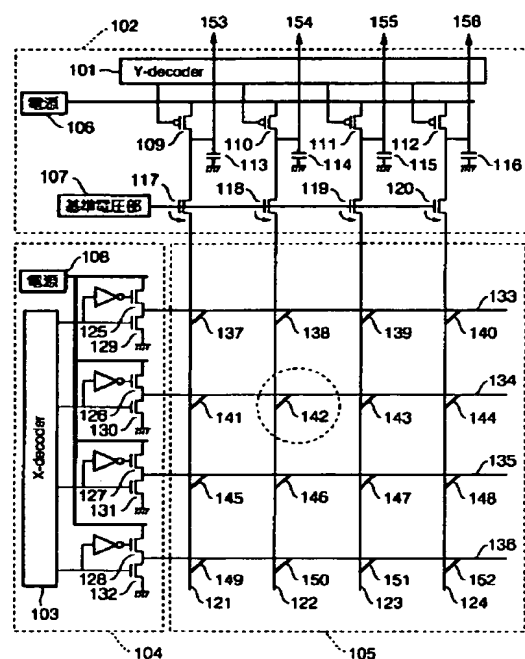
弁理士 高橋 昭男 (外3名)

(54) 【発明の名称】 磁気ランダムアクセスメモリ回路

(57) 【要約】

【課題】 磁気抵抗素子に印加する電圧を低く保ち、トンネル型磁気抵抗素子を記憶素子に用いたときの、バイアス効果、トンネルバリアの破壊を防ぎ、高精度かつ高速な読み出しを可能にする。

【解決手段】 接続されているすべてのセンス線121～124と選択されていない全てのワード線133、136の電位が等しく保たれ、かつ選択されているワード線134が接地され、あらかじめ高電圧に充電されたコンデンサ114がセンス線122に電圧降下素子としてのMOSトランジスタ118を介して接続され、コンデンサ114が充電電荷をMOSトランジスタ118、センス線122、磁気抵抗素子142およびワード線134を介して放電可能にこれらに接続されている。



【特許請求の範囲】

【請求項1】 互いに交差する複数のセンス線と複数のワード線を持ち、センス線とワード線の各交点に磁気抵抗素子が2次元アレイ状にならべられた磁気ランダムアクセスメモリ回路において、接続されているすべてのセンス線と選択されていない全てのワード線の電位が等しく保たれ、かつ選択されているワード線が接地され、あらかじめ高電圧に充電されたコンデンサがセンス線に電圧降下素子を介して接続され、前記コンデンサが充電電荷を電圧降下素子、センス線、磁気抵抗素子およびワード線を介して放電可能にこれらに接続されていることを特徴とする磁気ランダムアクセスメモリ回路。

【請求項2】 Xデコーダを含んで複数のワード線が延び出るX周辺回路部と、Yデコーダを含み複数のセンス線が延び出るY周辺回路部と、前記ワード線とセンス線の各交点において、その一端がワード線に、他端がセンス線にそれぞれ接続されるように、磁気抵抗素子がアレイ状に配列されたセルアレイとで構成された磁気ランダムアクセスメモリ回路において、Y周辺回路部では、互いに直列接続した第1のMOSトランジスタおよび第2のMOSトランジスタが各センス線に直列接続され、第1のMOSトランジスタはその一端子がセンス線に、他端子が第2のMOSトランジスタの一端子に、ゲートが基準電圧部にそれぞれ接続され、第2のMOSトランジスタはその一端子が第1のMOSトランジスタの一端子に、他端子が電源に、ゲートがYデコーダ部にそれぞれ接続され、第1のMOSトランジスタおよび第2のMOSトランジスタの接続部に出力線が接続され、かつその接続部がコンデンサを介して接地され、一方、X周辺回路部では、Xデコーダ信号をゲート信号として互いに相補的に動作する、互いに直列接続された第3のMOSトランジスタおよび第4のMOSトランジスタの接続部がワード線に接続され、第3のMOSトランジスタの他端は電源に接続され、第4のMOSトランジスタの他端は接地されていることを特徴とする請求項1に記載の磁気ランダムアクセスメモリ回路。

【請求項3】 同一のワード線および隣接する2本のセンス線間に1対の磁気抵抗素子が接続され、磁気抵抗素子の一方が記憶セルとされ、他方がその記憶セルと常に相補のデータを記憶する参照セルとされて、記憶セルと参照セルの各抵抗値状態にもとづく各コンデンサの電圧差を検出可能としたことを特徴とする請求項2に記載の磁気ランダムアクセスメモリ回路。

【請求項4】 複数のX周辺回路部および複数のセルアレイがY周辺回路部に対してそれぞれ対象に配置され、各セルアレイに対してYデコーダが共通に接続され、各セルアレイにおいて少なくとも1本以上のワード線とそのワード線と交差する各センス線との間に参照セルとなる基準抵抗が接続されて、一方のセルアレイ中の磁気抵抗素子からなる記憶セルと、他方のセルアレイ中の基準

抵抗からなる参照セルとの各抵抗値状態にもとづく各コンデンサの電圧差を検出可能としたことを特徴とする請求項2に記載の磁気ランダムアクセスメモリ回路。

【請求項5】 Xデコーダを含んで複数のワード線が延び出るX周辺回路部と、Yデコーダを含み複数のセンス線が延び出るY周辺回路部と、前記ワード線とセンス線の各交点において、一端がワード線に、他端がセンス線にそれぞれ接続されるように磁気抵抗素子がアレイ状に配列されたセルアレイとで構成された磁気ランダムアクセスメモリ回路において、Y周辺回路部には、各センス線に対応して、各一端が電源線に接続され、各他端が第1のコンデンサおよび第2のコンデンサを介してそれぞれ接地され、それぞれのゲートにYデコーダ信号が入力される第5のMOSトランジスタおよび第6のMOSトランジスタが並列に配置され、第5のMOSトランジスタおよび第6のMOSトランジスタのコンデンサ側の各端子が、各ゲートにYデコーダ信号が入力されて互いに相補的に動作する第7のMOSトランジスタおよび第8のMOSトランジスタを介して接続され、さらに第7のMOSトランジスタおよび第8のMOSトランジスタの直列接続部から、ゲートに基準電圧を入力する第9のMOSトランジスタを介してセンス線が延び出し、第1のコンデンサと第5のMOSトランジスタとの接続部および第2のコンデンサと第6のMOSトランジスタとの接続部に得られる信号差が検出され、一方、X周辺回路部では、Xデコーダ信号をゲート信号として互いに相補的に動作する、互いに直列接続された第10のMOSトランジスタおよび第11のMOSトランジスタの接続部が各ワード線と接続され、第10のMOSトランジスタの一端は電源に接続され、第11のMOSトランジスタの一端が接地されて、XデコーダとYデコーダとの相対的動作タイミングを制御するタイミング制御回路が設けられていることを特徴とする請求項1に記載の磁気ランダムアクセスメモリ回路。

【請求項6】 センス線の電位を一定に保つ第1のMOSトランジスタ、またはワード線の電位を一定に保つ第3のMOSトランジスタ、もしくはそれら両方の第1のMOSトランジスタおよび第3のMOSトランジスタのゲートに、基準電位とセンス線またはワード線の電位とを比較する比較器などから構成される制御回路の出力が入力されるようにして、センス線またはワード線の電位が帰還制御されるようにしたことを特徴とする請求項2乃至請求項4のいずれかに記載の磁気ランダムアクセスメモリ回路。

【請求項7】 センス線の電位を一定に保つ第9のMOSトランジスタ、またはワード線の電位を一定に保つ第10のMOSトランジスタ、もしくはそれら両方の第9のMOSトランジスタおよび第10のMOSトランジスタの各ゲートに、基準電位とセンス線またはワード線の電位とを比較する比較器などから構成される制御回路の

出力が入力されるようにしてセンス線またはワード線の電位が帰還制御されるようにしたことを特徴とする請求項5に記載の磁気ランダムアクセスメモリ回路。

【請求項8】 基準電位とセンス線またはワード線との電位を比較する比較器などから構成される制御回路が、メモリ回路が記憶読み出し動作を行う前に各センス線、各ワード線の電位を等しくするために、あらかじめ更正する機能を有することを特徴とする請求項6または請求項7に記載の磁気ランダムアクセスメモリ回路。

【請求項9】 磁気抵抗素子がトンネル型磁気抵抗素子であることを特徴とする請求項1乃至請求項8に記載の磁気ランダムアクセスメモリ回路。

【請求項10】 磁気抵抗素子が巨大磁気抵抗効果素子であることを特徴とする請求項1乃至請求項8に記載の磁気ランダムアクセスメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はランダムアクセスメモリ回路、特に磁気ランダムアクセスメモリ (Magnetic Random Access Memory、以下、MRAMという) 回路に関する。

【0002】

【従来の技術】MRAM回路は、多数のメモリセルがワード線とビット線の交点に配置されている。基本的には、そのメモリセルは絶縁層あるいは金属層を挟んだ二枚の強磁性層から構成されている。デジタル情報は強磁性層の磁化の向きによって表されており、その情報は意図的に書き換えられない限り、無限に保持される。メモリセルの状態を書き換えるために、ワード電流とビット電流により閾値より大きな合成磁場をメモリセルに印加し、強磁性層の磁化を反転させる。

【0003】第1の技術として、米国特許第5748519号およびIEEE Transaction On Components Packaging and Manufacturing Technology-Part A, Vol. 170, No. 3, PP. 373-379に、記憶セルとして巨大磁気抵抗効果 (GMR: giant magnetoresistive) 素子を用いたMRAM回路が開示されている。このMRAM回路は、図7に示すように、一般的に半導体基板上に形成され、他の回路が同一基板上に混載される。MRAM回路はメモリアレイである第1アレイ604および第2アレイ605、デコーダである行デコーダ602および列デコーダ603および比較器606より構成される。行デコーダ602と列デコーダ603は、アドレスバス601にそれぞれ接続されている。第1アレイ604および第2アレイ605のうちの一方は読み出し時の参照セルとして用いられる。それぞれのセルアレイにおいて、1つの行には複数のGMR素子が直列接続されている。読み出し時には、第1アレイ604および第

2アレイ605の双方の選択された行に電流を流し、生じた電圧の差分を比較器606で検出する。

【0004】第2の従来技術として、米国特許第5640343号に、トンネル型磁気抵抗 (TMR: tunneling magnetoresistive) 素子を記憶セルとして用いて、それぞれのワード線とセンス線の交点に一つの記憶セルを配したメモリアレイをもつMRAM回路が開示されている。このMRAM回路は、図8に示すように、行デコーダ701、702と、列デコーダ703、704と、これらに接続される交点に磁気トンネル接合素子とを有するマトリックス回路により構成されている。このMRAM回路は、記憶情報をセンス電流の大小に対応させて動作するが、この開示において、電圧あるいは電流の検出方法、比較器 (センスアンプ) への接続方法については記述されていない。

【0005】

【発明が解決しようとする課題】第1の従来技術では、直列接続の記憶セルの抵抗を直接検出する。この抵抗には、行に直列接続されたトランジスタのオン抵抗も含まれている。また、記憶セルアレイと参照セルアレイが分離され、それらの距離が離れている。そのため、それぞれの比較信号に寄生要素が含まれ易く、充分な動作マージンの実現が困難であった。そのため、記憶セルのウェハ上での特性の均一性が要求された。また、複数の直列に接続された記憶セルの電圧を検出するため、行全体の抵抗に比べて抵抗の磁気変化分が小さくなり、素子ばらつき、ノイズ耐性に劣る。また、検出感度を大きくするためには、検出電流を大きくするか、GMR素子を細長くして素子抵抗を大きくする必要がある。これらは、消費電力の増大および回路面積の増大を招くという問題がある。

【0006】第2の従来技術では各記憶セルにダイオードを備えている。また、これと同様に各セルにトランジスタを備えたセルも容易に構成することができる。しかし、ダイオードあるいはトランジスタを備えた記憶セルは、セルの構成が複雑になるため、集積化を妨げる。しかし、完全にオン、オフのスイッチとして動作しない磁気抵抗素子のみで2次元アレイを構成するには、各セル間の電流の回り込みなどを考慮する必要があり、容易ではない。また、一般的なGMR素子では、膜面に平行に電流を流すため、基本抵抗は配線抵抗と同等である。従って、配線とトランジスタと磁気抵抗素子を直列接続して、全体の電圧を直接測定する方法を用いると、配線と、トランジスタでの電圧降下が無視できず、高精度な読み出し回路 (センスアンプ) が必要となる。

【0007】さらに、Journal of Magnetism Society of Japan, Vol. 23, No. 1-2, PP. 55-57に述べられているように、トンネル型磁気抵抗素子は、接合の両端に印加される電圧が増加するに従い、磁気抵抗比 (MR

比)が減少する。これは、一般にバイアス効果と呼ばれ、周知である。このバイアス効果によりTMR素子の両端に大きな電圧をかけても、磁気による素子電圧の変化分は比例して大きくなるわけではなく、従って高感度な読み出し回路が必要となる。また、Journal of Magnetism and Magnetic Materials Vol. 198-199, PP. 164-166などで述べられているように、薄いトンネルバリアを用いているTMR素子の両端に大きな電圧をかけることは、トンネルバリアを電界、熱などで破壊し、素子寿命を短くするという問題がある。

【0008】本発明は、ウェハ上での場所に依存する磁気抵抗素子の特性ばらつきの影響を極力排除し、動作マージンの広い磁気ランダムアクセスメモリ回路を提供することを目的とする。また、本発明は、磁気抵抗素子と直列に接続された配線およびトランジスタの抵抗による電圧降下をもたらす、読み出し回路の検出感度の低下を防ぎ、高精度かつ高速な読み出しが可能な磁気ランダムアクセスメモリ回路を提供することを目的とする。さらに本発明は、特にトンネル型磁気抵抗素子を用いて、磁気抵抗のバイアス効果およびトンネルバリアの破壊を防止し、高精度かつ高速な読み出しが可能な磁気ランダムアクセスメモリ回路を提供することを目的とする。さらに、本発明では、基本記憶セル内のダイオードまたはトランジスタを排除し、高集積化が可能な磁気ランダムアクセスメモリ回路を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的達成のため、本発明にかかる磁気ランダムアクセスメモリ回路は、互いに交差する複数のセンス線と複数のワード線を持ち、センス線とワード線の各交点に磁気抵抗素子が2次元アレイ状にならべられた磁気ランダムアクセスメモリ回路において、接続されているすべてのセンス線と選択されていない全てのワード線の電位が等しく保たれ、かつ選択されているワード線が接地され、あらかじめ高電圧に充電されたコンデンサがセンス線に電圧降下素子を介して接続され、前記コンデンサが充電電荷を電圧降下素子、センス線、磁気抵抗素子およびワード線を介して放電可能にこれらに接続されていることを特徴とする。

【0010】また、本発明にかかる磁気ランダムアクセスメモリ回路は、Xデコーダを含み複数のワード線が延び出るX周辺回路部と、Yデコーダを含み複数のセンス線が延び出るY周辺回路部と、前記ワード線とセンス線の各交点において、一端がワード線に、他端がセンス線にそれぞれ接続されるように、磁気抵抗素子がアレイ状に配列されたセルアレイとで構成された磁気ランダムアクセスメモリ回路において、Y周辺回路部では、互いに直列接続した第1のMOSトランジスタおよび第2のMOSトランジスタが各センス線に直列接続されて、第1のMOSトランジスタはその一端子がセンス線に、他端

子が第2のMOSトランジスタの一端子に、ゲートが基準電圧部にそれぞれ接続され、第2のMOSトランジスタはその一端子が第1のMOSトランジスタの一端子に、他端子が電源に、ゲートがYデコーダ部にそれぞれ接続され、第1のMOSトランジスタおよび第2のMOSトランジスタの接続部に出力線が接続され、かつその接続部がコンデンサを介して接地され、一方、X周辺回路部では、Xデコーダ信号をゲート信号として互いに相補的に動作する、互いに直列接続された第3のMOSトランジスタおよび第4のMOSトランジスタの接続部がワード線に接続され、第3のMOSトランジスタの他端は電源に接続され、第4のMOSトランジスタの他端は接地されていることを特徴とする。

【0011】また、本発明にかかる磁気ランダムアクセスメモリ回路は、同一のワード線および隣接する2本のセンス線間に1対の磁気抵抗素子が接続され、磁気抵抗素子の一方が記憶セルとされ、他方がその記憶セルと常に相補のデータを記憶する参照セルとされて、記憶セルと参照セルの各抵抗値状態にもとづく各コンデンサの電圧差が検出されることを特徴とする。

【0012】また、本発明にかかる磁気ランダムアクセスメモリ回路は、複数のX周辺回路部および複数のセルアレイがY周辺回路部に対してそれぞれ対象に配置され、各セルアレイに対してYデコーダが共通に接続され、各セルアレイにおいて少なくとも1本以上のワード線とそのワード線と交差する各センス線との間に参照セルとなる基準抵抗が接続されて、一方のセルアレイ中の磁気抵抗素子からなる記憶セルと、他方のセルアレイ中の基準抵抗からなる参照セルとの各抵抗値状態にもとづく各コンデンサの電圧差が検出されることを特徴とする。

【0013】また、本発明にかかる磁気ランダムアクセスメモリ回路は、Xデコーダを含み複数のワード線が延び出るX周辺回路部と、Yデコーダを含み複数のセンス線が延び出るY周辺回路部と、前記ワード線とセンス線の各交点において、一端がワード線に、他端がセンス線にそれぞれ接続されるように磁気抵抗素子がアレイ状に配列されたセルアレイとで構成された磁気ランダムアクセスメモリ回路において、Y周辺回路部には、各センス線に対応して、各一端が電源線に接続され、各他端が第1のコンデンサおよび第2のコンデンサを介してそれぞれ接地され、それぞれのゲートにYデコーダ信号が入力される第5のMOSトランジスタおよび第6のMOSトランジスタが並列に配置され、第5のMOSトランジスタおよび第6のMOSトランジスタのコンデンサ側の各端子が、各ゲートにYデコーダ信号が入力されて互いに相補的に動作する第7のMOSトランジスタおよび第8のMOSトランジスタを介して接続され、さらに第7のMOSトランジスタおよび第8のMOSトランジスタの直列接続部から、ゲートに基準電圧を入力する第9のM

OSトランジスタを介してセンス線が延び出し、第1のコンデンサと第5のMOSトランジスタとの接続部および第2のコンデンサと第6のMOSトランジスタとの接続部に得られる信号差が検出され、一方X周辺回路部では、Xデコーダ信号をゲート信号として互いに相補的に動作する、互いに直列接続された第10のMOSトランジスタおよび第11のMOSトランジスタの接続部が各ワード線と接続され、第10のMOSトランジスタの一端は電源に接続され、さらに第11のMOSトランジスタの一端が接地されて、XデコーダとYデコーダとの相対的動作タイミングを制御するタイミング制御回路を設けられていることを特徴とする。

【0014】また、本発明にかかる磁気ランダムアクセスメモリ回路は、センス線の電位を一定に保つ第1のMOSトランジスタ、またはワード線の電位を一定に保つ第3のMOSトランジスタ、もしくはそれら両方の第1のMOSトランジスタおよび第3のMOSトランジスタのゲートに、基準電位とセンス線またはワード線の電位とを比較する比較器などから構成される制御回路の出力が入力されるようにして、センス線またはワード線の電位が帰還制御されるようにしたことを特徴とする。

【0015】また、本発明にかかる磁気ランダムアクセスメモリ回路は、センス線の電位を一定に保つ第9のMOSトランジスタ、またはワード線の電位を一定に保つ第10のMOSトランジスタ、もしくはそれら両方の第9のMOSトランジスタおよび第10のMOSトランジスタのゲートに、基準電位とセンス線またはワード線の電位とを比較する比較器などから構成される制御回路の出力が入力されるようにしてセンス線またはワード線の電位が帰還制御されるようにしたことを特徴とする。

【0016】また、本発明にかかる磁気ランダムアクセスメモリ回路は、基準電位とセンス線またはワード線の電位を比較する比較器などから構成される制御回路が、メモリ回路が記憶読み出し動作を行う前に各センス線、各ワード線の電位を等しくするために、あらかじめ更正する機能を有することを特徴とする。

【0017】また、本発明にかかる磁気ランダムアクセスメモリ回路は、磁気抵抗素子がトンネル型磁気抵抗素子であることを特徴とする。

【0018】また、本発明にかかる磁気ランダムアクセスメモリ回路は、磁気抵抗素子が巨大磁気抵抗効果素子であることを特徴とする。

【0019】

【発明の実施の形態】以下、本発明の実施の一形態を図について説明する。図1は、本発明の磁気ランダムアクセスメモリ（以下、MRAMという）回路を示し、ここでは、一例として4×4ビットのMRAM回路を示したが、用途に応じてm×nビットのMRAM回路を構成できる。図示したように、本発明のMRAM回路は、Yデコーダ（Y-decoder）101を含むY周辺回路

102、Xデコーダ（X-decoder）103を含むX周辺回路104およびセルアレイ105から構成される。

【0020】Y周辺回路102は、Yデコーダ101と、ゲートがYデコーダ101に接続されたMOSトランジスタ109～112、このMOSトランジスタ109～112に接続された電源106、ゲートに基準電圧部107からの出力が接続されたMOSトランジスタ117～120、片側が接地されたコンデンサ113～116で構成されている。MOSトランジスタ109～112とMOSトランジスタ117～120およびコンデンサ113～116はそれぞれ互いに接続されており、これらの接続点には、コンデンサ113～116の電位を検出するため、出力線153～156を介し後段の出力回路に接続されている。また、MOSトランジスタ117～120の他方の不純物領域は、セルアレイ105のセンス線121～124にそれぞれ接続されている。

【0021】X周辺回路104は、Xデコーダ103と、ゲートがXデコーダ103に接続されたMOSトランジスタ129～132、これと相補的に動作するMOSトランジスタ125～128、MOSトランジスタ125～128に接続された電源108から構成される。MOSトランジスタ129～132の一方の不純物領域は接地され、MOSトランジスタ129～132の他方の不純物領域と、MOSトランジスタ125～128は相互に接続されている。また、この接続点には、セルアレイ105のワード線133～136とそれぞれ接続されている。セルアレイ105は、センス線121～124、ワード線133～136および磁気抵抗素子137～152で構成される。磁気抵抗素子137～152はそれぞれ、センス線121～124とワード線133～136の交点に配置され、センス線121～124とワード線133～136の双方に接続されている。なお、磁気抵抗素子137～152としてトンネル型磁気抵抗素子や巨大磁気抵抗効果素子が用いられる。

【0022】MRAM回路が待機状態にあるときには、MOSトランジスタ109～112はオン状態になっており、コンデンサ113～116は充電され、所定の初期電圧（ V_{00} ）になる。同様に、コンデンサ113～116と接続されているMOSトランジスタ117～120の入力側は所定の初期電圧（ V_{00} ）である。また、このとき、出力線153～156にも同様の電圧 V_{00} が生じている。MOSトランジスタ117～120は、センス線121～124を一定の低電圧に保持するために設けられたMOSトランジスタである。MOSトランジスタ117～120の出力側の電圧（ V_o ）は、基準電圧部107の発生する基準電圧（ V_{ref} ）と、MOSトランジスタ117～120の閾値特性で決められる一定の降下電圧（ V_{dr} ）で決定され、MOSトランジスタ117～120の入力側の電圧（ V_i ）が変動しても出力

側の電圧 (V_s) は変動しない。 V_s 、 V_{ref} 、 V_{dso} * * 間には、

$$V_s = V_{ref} - V_{dso} \quad (\text{ただし、} V_0 > V_s) \quad \dots\dots (1)$$

の関係が成り立つ。従って、すべてのセンス線121～124は等電位 (V_s) 状態にある。

【0023】MOSトランジスタ125～128とMOSトランジスタ129～132は、Xデコーダ103からの信号に応じて、相補に動作する。MRAM回路が待機状態にある時には、MOSトランジスタ125～128がオンしており、MOSトランジスタ129～132はオフ状態である。この時、電源108とワード線133～136は、それぞれMOSトランジスタ125～128を介して接続されて、センス線121～124と同様に、すべてのワード線133～136は等電位 (V_s) 状態に保たれている。

【0024】ワード線133～136をセンス線121～124と等電位の V_s に保つためには、いくつかの方法が考えられる。具体的には、例えば、図1において電源108で V_s を与えることにより、ワード線133～136を V_s に保つ事が可能である。別の方法としては、MOSトランジスタ125のゲートに接続しているインバータ157は、例えば、図2に示したようなP型MOSトランジスタ158とN型MOSトランジスタ159とから構成される。この場合、P型MOSトランジスタ158のソース電極と基準電圧部107を接続し、MOSトランジスタ125の閾値特性により、センス線121～124と同様にワード線133を V_s に保つ事が可能となる。これらはワード線133～136を V_s に保つための一例である。

【0025】次に、例えば磁気抵抗素子142に保持されたデータを読み出す場合について説明する。磁気抵抗素子142はセルアレイの2行2列に位置している。はじめに、Xデコーダ103からの信号により、MOSトランジスタ130がオンになり、これと同時にMOSトランジスタ126がオフとなる。従って2行目のワード線134はMOSトランジスタ130を介して接地され、電源106、MOSトランジスタ110、MOSトランジスタ118、センス線122、磁気抵抗素子142、ワード線134、MOSトランジスタ130の順に、電流が流れる。この時、同一のワード線134に接続されている磁気抵抗素子141、143、144にも同様に電流が流れるが、これについては後述する。

【0026】ここで重要なのは、すべてのセンス線121～124はMOSトランジスタ117～120により、等電位 (V_s) に保たれていることと、選択されていないワード線133、135、136も、それぞれMOSトランジスタ125、127、128により、等電位 (V_s) に保たれていることである。このために、各セルにMOSトランジスタあるいは、ダイオードを用いずとも、意図しない経路からの電流の流入を防ぐことができ、センス線121～124にはそれぞれ電圧 V_s お

よび各磁気抵抗素子141～144の抵抗値から決定される大きさの電流が流れる。

【0027】2行目のワード線134の選択に続いて、Yデコーダ101のからの信号により2列目のセンス線122が選択される。この時、MOSトランジスタ110はオフとなり、2列目のセンス線122は電源106から切り離されるが、コンデンサ114に充電された電荷を放電しながら、磁気抵抗素子142には電流が流れつづける。この結果、コンデンサ114に生じる電圧、すなわち、MOSトランジスタ118の入力側の電圧は低下するが、MOSトランジスタ118の出力側の電圧 (V_s) は前述したように (1) 式で決定付けられるため、変化せず、一定に保たれる。このとき、 t 時間後のコンデンサ114に生じる電圧の時間変化 $V_c(t)$ は、初期電圧 V_{D0} 、コンデンサ114の容量 C 、センス線122に流れる電流 I_s 、MOSトランジスタ118の出力側の電圧 V_s 、およびMOSトランジスタ118の負荷抵抗となるセンス線122、磁気抵抗素子142、ワード線134、MOSトランジスタ130の合成抵抗 R を用いると、(2) 式に示す通りとなる。

【0028】

【数1】

$$V_D(t) = V_{D0} - \frac{1}{C} \int I_s dt = V_{D0} - \frac{V_s}{CR} t \quad \dots (2)$$

【0029】(2) 式に示したように、コンデンサ114に生じる電圧の時間変化は磁気抵抗素子142の抵抗により変化率が異なる。すなわち、磁気抵抗素子142が高抵抗状態にある時には、コンデンサ114に生じる電圧の時間変化は小さく、反対に磁気抵抗素子142が低抵抗状態にある時には、コンデンサ114に生じる電圧の時間変化は大きい。ある一定時間経過後に、コンデンサ114の電圧あるいは電圧変化を出力線154を通して検出することで、磁気抵抗素子142の抵抗状態すなわち保持しているデータを読み出すことができる。

【0030】本発明のMRAM回路では、磁気抵抗素子142に印加される電圧は V_s であるので、磁気抵抗素子142を破壊する電圧あるいは、バイアス依存性により著しく特性を劣化させる電圧よりも小さく保つことができる。しかしながら、コンデンサ114の作用により、出力線154に生じる電圧は、後段の検出回路に十分な程度まで大きくすることができる。また、本発明のMRAM回路では、磁気抵抗素子142と直列につながれた配線抵抗、MOSトランジスタ130の抵抗が大きい、あるいは、磁気抵抗素子142の磁気抵抗比が十分大きく取れないとしても、(2) 式のコンデンサ113～116の容量 C 、磁気抵抗素子に印加する電圧 V_s 、磁気抵抗素子137～152の電気抵抗値およびコンデンサの放電に要する時間 t を最適化することで、十分な

11

読み出し電圧を得ることができる。

【0031】本発明のMRAM回路は、記憶セル構成が非常に簡単であるため、高集積化を行いやすい。読み出し速度は、主に、コンデンサ113～116の容量C、磁気抵抗素子137～152の電気抵抗値および磁気抵抗素子137～152に印加する電圧V_iにより決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサ113～116の充電は待機時間中に行われ、読み出し速度には影響しない。

【0032】また、前述したように、本回路では、同一のワード線134に接続されている磁気抵抗素子141、143、144にも同様に電流が流れる。従って、MOSトランジスタ110と同様に、MOSトランジスタ109、111、112もオフにすると、磁気抵抗素子141、143、144に記録された情報を、それぞれ、出力線153、155、156から同時に並行して読み出すことができる。

【0033】さらに、読み出しの消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高い。また、例に示したデータ読み出しのシーケンスでは、MOSトランジスタ130がオンになり、これと同時にMOSトランジスタ126がオフになった後に、MOSトランジスタ110がオフとなっているが、これらのMOSトランジスタのスイッチの順序は逆になっても良いし、また同時にスイッチさせることも本質的には可能である。

【0034】図3は、本発明の実施の他の形態を示す。図3に示したMRAM回路は、基本的には図1に示した回路と同じ動作をするが、同一のワード線に接続され、かつ隣接した2本のセンス線に接続された2つの磁気抵抗素子に対し、お互いに相補のデータを書き込むことを特徴としている。すなわち、一方の磁気抵抗素子が高抵抗状態の時には、他方の磁気抵抗素子は必ず低抵抗状態になるように、それぞれの磁気抵抗素子の磁化方向を設定する。記憶データが“1”である場合に、どちらの磁気抵抗素子を高抵抗状態にするかは任意であり、回路ごとに決めることができる。それぞれの磁気抵抗素子には、センス線とMOSトランジスタを介してコンデンサが接続されている。2つのコンデンサの電圧を差動増幅器を用いて比較し、この差動増幅器の出力をデータ出力としている。この回路では、2つの磁気抵抗素子を用いて1ビットの情報を記憶するので、図3に示したMRAM回路は、4×2=8ビットの情報を記憶する回路の例である。

【0035】次に、例えば磁気抵抗素子241、242に保持されたデータを読み出す場合について説明する。磁気抵抗素子241はセルアレイの2行1列、磁気抵抗

12

素子242はセルアレイの2行2列に位置している。はじめにXデコーダ203からの信号により、MOSトランジスタ230がオンになり、これと同時にMOSトランジスタ226がオフとなる。従って、2行目のワード線234はMOSトランジスタ230を介して接地され、電源206、MOSトランジスタ209、MOSトランジスタ217、センス線221、磁気抵抗素子241、ワード線234、MOSトランジスタ230と、電流が流れる。また同様に、電源206、MOSトランジスタ210、MOSトランジスタ218、センス線222、磁気抵抗素子242、ワード線234、MOSトランジスタ230の経路でも電流が流れる。

【0036】すべてのセンス線221～224はMOSトランジスタ217～220によって等電位(V_s)に保たれており、また選択されていないワード線233、235、236もそれぞれMOSトランジスタ225、227、228により、等電位(V_s)に保たれている。このため、各セルにMOSトランジスタあるいは、ダイオードを用いずとも、意図しない経路からの電流の流入を防ぐことができ、センス線221～224にはそれぞれV_s、および各磁気抵抗素子241～244の抵抗値から決定される大きさの電流が流れる。

【0037】2行目のワード線234の選択に続いて、Yデコーダ201のからの信号により1列目のセンス線221と、2列目のセンス線222が選択される。この時、MOSトランジスタ209、210はオフとなり、1列目のセンス線221と2列目のセンス線222は電源206から切り離されるが、コンデンサ213、214に充電された電荷を放電しながら、磁気抵抗素子241、242には電流が流れつづける。この結果、コンデンサ213、214に生じる電圧、すなわち、MOSトランジスタ217、218の入力側の電圧は低下するが、MOSトランジスタ217、218の出力側の電圧(V_d)は前述したように(1)式で決定付けられるため、変化せず、一定に保たれる。このとき、t時間後のコンデンサ213、214に生じるの電圧の時間変化V_d(t)は、(2)式に示した通りである。

【0038】(2)式に示したように、コンデンサ213、214に生じる電圧の時間変化は磁気抵抗素子241、242の抵抗により変化率が異なる。例えば、記憶データが“1”であるときには、磁気抵抗素子241が高抵抗状態、かつ、磁気抵抗素子242が低抵抗状態であるとすると、コンデンサ213の電圧低下よりコンデンサ214の電圧低下の時間変化が大きいの。反対に記憶データが“0”であるときには、磁気抵抗素子241が低抵抗状態、かつ、磁気抵抗素子242が高抵抗状態となり、コンデンサ213の電圧低下よりコンデンサ214の電圧低下の時間変化は小さい。ある一定時間経過後に、コンデンサ213とコンデンサ214の電圧の差を差動増幅器253で判定し、その判定結果を読み出しデ

ータとして出力線255より出力する。

【0039】ある t 時間経過後のコンデンサ213とコ*

$$V_{out}(t) = (V_s / C) \{ (1/R_L) - (1/R_H) \} t \quad \dots (3)$$

【0040】ここで R_L 、 R_H はそれぞれ、磁気抵抗素子が低抵抗状態と高抵抗状態でのMOSトランジスタの負荷抵抗（負荷となるセンス線、磁気抵抗素子、MOSトランジスタ230の合成抵抗）である。（3）式において、例えばコンデンサの容量 C を1pF、MOSトランジスタの出力側の電圧 V_s を250mV、磁気抵抗素子が低抵抗状態の R_L を10k Ω 、高抵抗状態の時の R_H を12k Ω と容易に実現可能な値を仮定し、コンデンサ213、214の放電時間を24nsecとすると、記憶データの“1”、“0”に応じて V_{out} （24nsec）が ± 100 mVの出力が得られることがわかる。既存の半導体DRAMのセンスアンプ（差動増幅器）の入力電圧（検出電圧）は100mV程度になっており、この ± 100 mVの信号は容易に検出できることは自明である。

【0041】この実施の形態によるMRAM回路では、磁気抵抗素子241、242に印加される電圧は V_s であるので、磁気抵抗素子241、242を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことができる。しかしながら、コンデンサ213、214の作用により、差動増幅器（検出器）253に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。また、読み出し速度は、主に、コンデンサの容量 C 、磁気抵抗素子の電気抵抗値および磁気抵抗素子に印加する電圧 V_s により決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出し速度には影響しない。

【0042】さらに、記憶セル構成が非常に簡単であるため、高集積化を行いやすい。また隣接する磁気抵抗素子からの信号を参照データとするので、プロセスばらつきに対する回路動作の安定性に優れている。また、前記MRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、（2）式のコンデンサの容量 C 、磁気抵抗素子に印加する電圧 V_s 、磁気抵抗素子の電気抵抗値およびコンデンサの放電に要する時間 t を最適化することで、十分な読み出し電圧を得ることができる。

【0043】さらに、前述したように、同一のワード線234に接続されている磁気抵抗素子243、244にも同様に電流が流れる。従ってMOSトランジスタ209、210と同様に、MOSトランジスタ211、212もオフにすると、磁気抵抗素子243、244に記録された情報も差動増幅器（検出器）254から同時に並行して読み出すことができる。また、読み出し時の消費

*コンデンサ214の電圧の差 $V_{out}(t)$ は（2）式にもとづき（3）式に示すようにして求められる。

電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が低い。なお、前記データ読み出しのシーケンスは一例であり、別のシーケンスを採用することは任意である。

【0044】図4は本発明の実施の他の形態を示す。図4に示したMRAM回路は、基本的には図3に示した回路と同じ動作をするが、出力を差動増幅で比較する際の参照信号は、相補のデータが書き込まれた磁気抵抗素子ではなく、基準抵抗から得ることを特徴としている。ここでは、MRAM回路は、Yデコーダ301を含むY周辺回路302、第1のXデコーダ303を含む第1のX周辺回路304、第1のセルアレイ305および前記のY周辺回路302に対して、それぞれ対称的な位置に配置される、第2のXデコーダ306を含む第2のX周辺回路307、第2のセルアレイ308、から構成されている。それぞれのセルアレイ305、308における、少なくとも1本以上のワード線には、基準抵抗が接続される。図4に示した例では、第1のセルアレイ305では、ワード線313に基準抵抗315～318が接続され、第2のセルアレイ308では、ワード線327に基準抵抗328～331が接続されている。

【0045】この実施の形態によれば、例えば、第1のセルアレイ305のセンス線310とワード線314に接続された磁気抵抗素子320の情報を読み出す場合には、第2のセルアレイ308のセンス線324とワード線327に接続された基準抵抗329からの信号を参照信号とし、第1および第2のMRAM回路と同様の原理を用いて、差動増幅器333を用いて出力を得る。また、この時、同一のワード線に接続されている、磁気抵抗素子319、321、322に記憶された情報も、差動増幅器332、334、335を用いて、基準抵抗328、330、331からの信号と比較することで並行に読み出すことが可能である。なお、第1のセルアレイ305のワード線313に接続された基準抵抗315～318は、第2のセルアレイ308に配置された磁気抵抗素子の読み出しの際の参照に使用される。

【0046】従って、この実施の形態によるMRAM回路は、記憶セル構成が非常に簡単であるため、高集積化を行いやすい。また、基準抵抗315～318、328～331からの信号を参照データに用いることで、チップの面積効率がよく、高集積かつプロセスばらつきに対する回路動作の安定性に優れる。また、各磁気抵抗素子に印加される電圧は V_s であるので、磁気抵抗素子を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことができる。しかしながら、コンデンサ

の作用により、差動増幅器（検出器）に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。さらに、MRAM回路の読み出し速度は、主にコンデンサの容量C、磁気抵抗素子の電気抵抗値および磁気抵抗素子に印加する電圧V_iにより決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出し速度には影響しない。

【0047】また、磁気抵抗素子に対して直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、(2)式のコンデンサの容量C、磁気抵抗素子に印加する電圧V_S、磁気抵抗素子の電気抵抗値およびコンデンサの放電に要する時間tを最適化することで、十分な読み出し電圧を得ることができる。さらに、MRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高い。なお、例に示したデータ読み出しのシーケンスは一例であり、別のシーケンスを採用することは任意である。

【0048】図5は、本発明の実施の他の形態を示す。図5に示したMRAM回路は、基本的には図4に示した回路と同じ動作をするが、読み出しの対象となる磁気抵抗素子自身の状態を変化させて生成される信号を差動増幅の参照信号とする、自己参照式の読み出し方法である。ここでは、Yデコーダ401を含むY周辺回路402、Xデコーダ403を含むX周辺回路404およびセルアレイ405から構成される。さらに、タイミング制御回路であるタイミングコントローラ406により、Yデコーダ401とXデコーダ403の動作タイミングを制御している。X周辺回路404は、前記の各実施の形態に記述されたものとはほぼ同じである。

【0049】一方、Y周辺回路402は、Yデコーダ401、ゲートがYデコーダ401に接続された第5のMOSトランジスタ410、412、第6のMOSトランジスタ411、413、これらのMOSトランジスタ410～413に接続された電源407、ゲートにYデコーダ401からの出力が接続され、お互いに相補に動作する第7および第8のMOSトランジスタ418、419および420、421、ゲートに基準電圧部408からの出力が接続された第9のMOSトランジスタ422、423、片側が接地されたコンデンサ414～417、出力を検出する差動増幅器446、447から構成されている。

【0050】この実施の形態では、MRAM回路が待機状態にあるときには、MOSトランジスタ410～413はオン状態になっており、コンデンサ414～417

は充電され、所定の初期電圧(V₀₀)になる。また、この時、MOSトランジスタ418、420はオン状態で、MOSトランジスタ419、421はオフ状態となっている。従って、MOSトランジスタ418、420を介して、コンデンサ414、416と接続されている第9のMOSトランジスタ422、423の入力側も所定の初期電圧である。第9のMOSトランジスタ422、423は、センス線424、425を一定の低電圧に保持するために設けられたMOSトランジスタである。

【0051】第9のMOSトランジスタ422、423の出力側の電圧は、基準電圧部408の発生する基準電圧(V_{ref})と、第9のMOSトランジスタ422、423の閾値特性で決められる一定の降下電圧(V_{dr})で決定され、MOSトランジスタ422、423の入力側の電圧(V_i)が変動しても出力側の電圧(V_o)は変動せず、(1)式で決められる。このため、すべてのセンス線424、425は等電位(V_i)状態にある。同様に、待機状態では、第10のMOSトランジスタ426～429によりすべてのワード線434～437は等電位(V_i)状態に保たれている。

【0052】例えば、磁気抵抗素子440に保持されたデータを読み出す場合には、Xデコーダ403からの信号により、第11のMOSトランジスタ431をオン、同時に第10のMOSトランジスタ427をオフとする。この結果、MOSトランジスタ410、MOSトランジスタ418、MOSトランジスタ422、磁気抵抗素子440を通して電流が流れる。この時、すべてのセンス線424、425はMOSトランジスタ422、423により、また、選択されていないワード線434、436、437もそれぞれ第10のMOSトランジスタ426、428、429のオフ状態により、等電位(V_i)に保たれている。従って、各セルにMOSトランジスタあるいは、ダイオードを用いずとも、意図しない経路からの電流の流入を防ぐことができ、センス線424、425には、それぞれV_Sおよび各磁気抵抗素子440、441の抵抗値から決定される大きさの電流が流れる。次に、Yデコーダ401からの信号により、MOSトランジスタ410はオフとなり、コンデンサ414に充電された電荷を放電しながら、磁気抵抗素子440には電流が流れつづける。この結果、コンデンサ414に生じる電圧は(2)式に従って、低下する。

【0053】次に、一定時間経過後に、一時的に、第11のMOSトランジスタ431をオフ、これと同時に第10のMOSトランジスタ427をオンとし、磁気抵抗素子440を通り流れていた電流を止める。その後、書き込み回路を動作させて、磁気抵抗素子440に"0"または"1"を参照データとして書き込むか、一時的な中間状態に保ち、MOSトランジスタ418をオフ、MOSトランジスタ419オンをにする。再び、MOSト

ランジスタ431をオン、第10のMOSトランジスタ427をオフとすると、MOSトランジスタ411、MOSトランジスタ419、第9のMOSトランジスタ422、磁気抵抗素子440の経路で電流が流れる。次に、MOSトランジスタ411をオフとすると、コンデンサ415に充電された電荷を放電しながら、磁気抵抗素子440には電流が流れ続ける。この結果、磁気抵抗素子440の参照状態に応じて、コンデンサ415に生じる電圧は低下する。

【0054】再び、一定時間経過後に、第11のMOSトランジスタ431をオフ、これと同時にMOSトランジスタ427をオンとし、磁気抵抗素子440を通り流れていた電流を止め、コンデンサ414とコンデンサ415の電圧差を差動増幅器446を用いて、検出する。最後に、磁気抵抗素子440に元のデータを再書き込みするか、または一時的な中間状態から定常状態に戻すことにより、MRAM回路全体としてはデータの非破壊読出しが実現される。

【0055】この実施の形態におけるMRAM回路でも、記憶セル構成が非常に簡単であるため、高集積化を行いやすく、また、自己参照方式で検出できるために、チップの面積効率がよく、高集積化が可能で、かつプロセスばらつきに対する回路動作の安定性に優れている。また、磁気抵抗素子440に印加される電圧はV₁であるので、磁気抵抗素子440を破壊する電圧、あるいは著しく特性を劣化させる電圧よりも小さく保つことができる。しかし、コンデンサの作用により、差動増幅器（検出器）に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。さらに、MRAM回路の読み出し速度は、主に、コンデンサの容量C、磁気抵抗素子の電気抵抗値および磁気抵抗素子に印加する電圧V₁により決定され、これらのパラメータを最適化することで、非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出し速度には影響しない。

【0056】また、前記MRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、(2)式のコンデンサの容量C、磁気抵抗素子に印加する電圧V₁、磁気抵抗素子の電気抵抗値およびコンデンサの放電に要する時間tを最適化することで、十分な読み出し電圧を得ることができる。また、前述したように、本回路では、同一のワード線435に接続されている磁気抵抗素子441も同様に電流が流れるため、同時に並行して読み出すことができる。さらに、MRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率がよい。なお、例に示したデータ読

み出しのシーケンスは一例であり、別のシーケンスを採用することは任意である。

【0057】図6は本発明の実施の他の形態を示す。この形態にあっても、基本動作は前記各実施の形態と同じである。なお、図1と同一の構成部分には同一符号を付してある。ここでは、センス線506～509の電位をより正確に制御するために、比較器510～513を設け、その出力をMOSトランジスタ501～504のゲートに入力している。比較器510～513の正の入力（正帰還）は基準電圧部505に接続され、負の入力（負帰還）は、それぞれセンス線506～509に接続されている。これにより、何れかのセンス線の電位が基準電圧部505の基準電圧より低い場合には、MOSトランジスタ501～504のうち、対応するMOSトランジスタのゲート電圧を上げ、その結果出力電圧であるセンス線506～509の電位をあげる。これとは反対に、何れかのセンス線の電位が基準電圧部505の基準電圧より高い場合には、MOSトランジスタ501～504のうち、対応するMOSトランジスタのゲート電圧を下げ、その結果、センス線の電位を下げる。これにより、すべてのセンス線の電位を正確に一定に保つことができる。

【0058】本発明により、製造ばらつきに対して、安定動作が可能なMRAM回路が得られた。また、この回路は、MOSトランジスタ501～504の相互コンダクタンスによるセンス線506～509の電位の変動も押さえることができ、非常に広い動作マージンで、安定動作が可能である。また、ここでは、MRAM回路が動作中の帰還制御を行う比較器510～513の例を示したが、通常のメモリ回路（素子）の記憶読み出し動作を行う前に、各センス線、各ワード線の電位が等しくなるように、あらかじめ更正する機能を有する比較器を用いても効果がある。この場合は、磁気抵抗素子などを用いて、更正した回路パラメータを不揮発に保持できる比較器の使用が効果的である。

【0059】なお、図6ではセンス線506～509の電位をより正確に制御するために、比較器510～513を基準電圧部505およびMOSトランジスタ501～504間に接続したものを示したが、同様の構成の比較器を図3の基準電圧部207およびMOSトランジスタ217～220間、図4の基準電圧部397およびMOSトランジスタ347～350間と基準電圧部398およびMOSトランジスタ377～380間、図5の基準電圧部408およびMOSトランジスタ422、423間に設けてもよく、この場合には前記同様に全てのセンス線の電位を一定に保つことができる。

【0060】

【発明の効果】以上説明したように、本発明のMRAM回路は、特にトンネル型磁気抵抗素子（TMR）を用いたMRAM回路では、磁気抵抗素子を破壊する電圧ある

いは、バイアス効果により著しく特性を劣化させる電圧よりも小さく保つことが可能であるか、コンデンサの作用により、差動増幅器（検出器）に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。

【0061】また、本発明のMRAM回路の読み出し速度は、主に、コンデンサの容量、磁気抵抗素子の電気抵抗値および磁気抵抗素子に印加する電圧により決定され、これらのパラメータを最適化することで、非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出し速度には影響しない。また、本MRAM回路では、同一のワード線に接続されている磁気抵抗素子からも同時に並行して読み出すことができ、より高速な読み出しが可能である。さらに、本発明のMRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、コンデンサの容量、磁気抵抗素子に印加する電圧、磁気抵抗素子の電気抵抗値およびコンデンサの放電に要する時間を最適化することで、十分な読み出し電圧を得ることができる。また、適切な参照セルを設けることで、チップの面積効率が高く、高集積かつプロセスばらつきに対する回路動作の安定性に優れたMRAM回路を得ることができる。

【0062】さらに、本発明のMRAMは、各センス線およびワード線を等電位に保つことで、基本記憶セル内のダイオードまたはトランジスタを排除し、セル構造が簡単となり、高集積化を行いやすい。さらに、本発明のMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高いという効果が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の一形態による磁気ランダムアクセスメモリ回路を示す回路図である。

【図2】 図1におけるインバータの詳細を示す回路図である。

【図3】 本発明の実施の他の形態による磁気ランダムアクセスメモリ回路を示す回路図である。

【図4】 本発明の実施の他の形態による磁気ランダムアクセスメモリ回路を示す回路図である。

【図5】 本発明の実施の他の形態による磁気ランダムアクセスメモリ回路を示す回路図である。

【図6】 本発明の実施の他の形態による磁気ランダム

アクセスメモリ回路を示す回路図である。

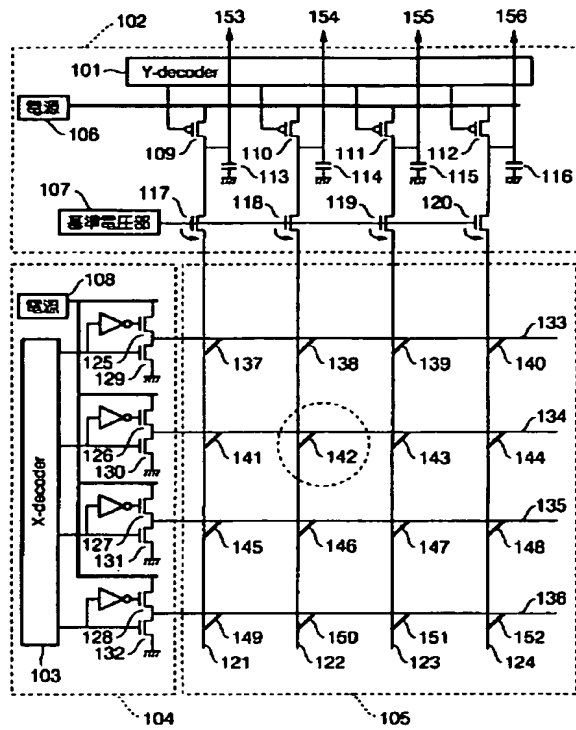
【図7】 従来の磁気ランダムアクセスメモリ回路を示す回路図である。

【図8】 従来のさらに他の磁気ランダムアクセスメモリ回路を示す回路図である。

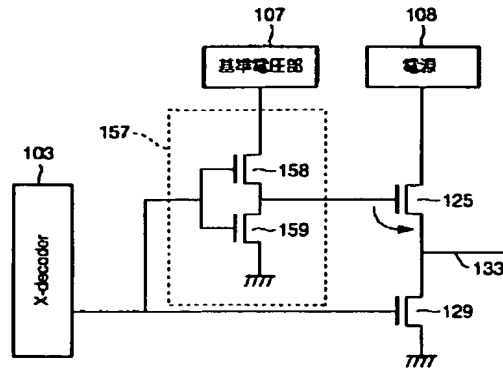
【符号の説明】

101、201、301、401 Yデコーダ
 102、202、302、402 Y周辺回路
 103、203、303、306、403 Xデコーダ
 104、204、304、307、404 X周辺回路
 105、205、305、308、405 セルアレイ
 106、108、206、208、407、409 電源
 107、207、408、505 基準電圧部
 109～112、209～212、501～504 第1のMOSトランジスタ
 113～116、213～216、414～417 コンデンサ
 117～120、217～220 第2のMOSトランジスタ
 121～124、221～224、309～312、323～326、424～425、506～509 センス線
 125～128、225～228 第3のMOSトランジスタ
 129～132、229～232 第4のMOSトランジスタ
 133～136、233～236、313、314、327、434～437 ワード線
 137～152、237～252、319～322、438～445 磁気抵抗素子
 153～156、255、256 出力線
 157 インバータ
 315～318、328～331 基準抵抗
 406 タイミングコントローラ（タイミング制御回路）
 410、412 第5のMOSトランジスタ
 411、413 第6のMOSトランジスタ
 418、420 第7のMOSトランジスタ
 419、421 第8のMOSトランジスタ
 422、423 第9のMOSトランジスタ
 426～429 第10のMOSトランジスタ
 430～433 第11のMOSトランジスタ
 510～513 比較器

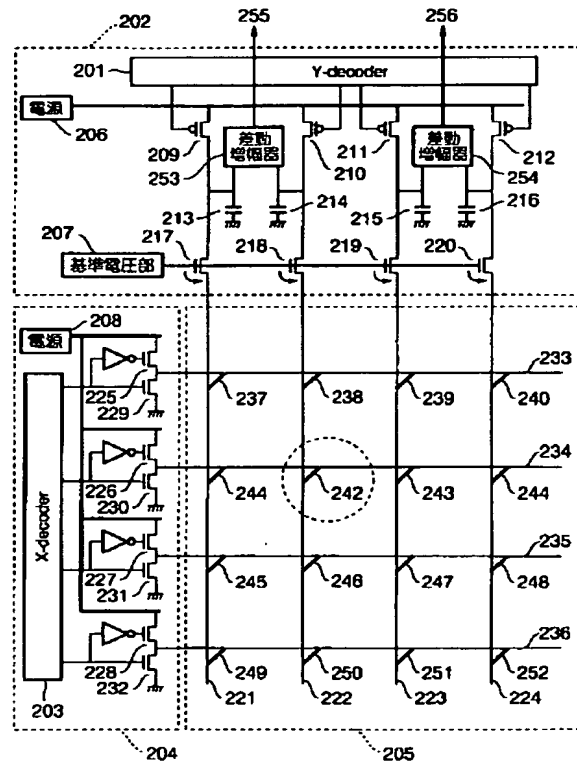
【図1】



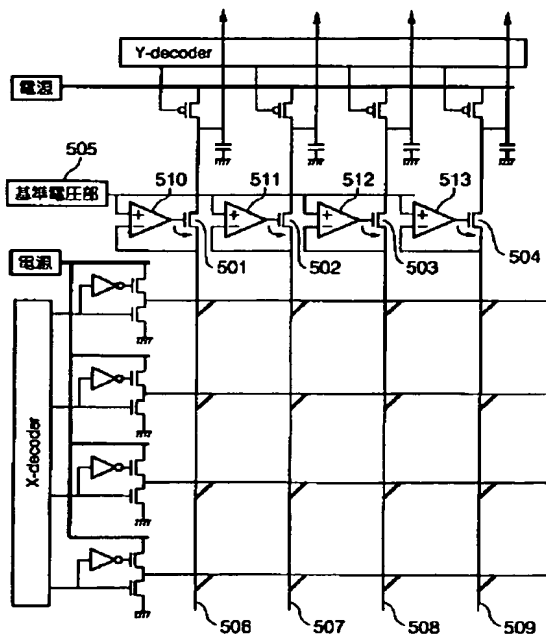
【図2】



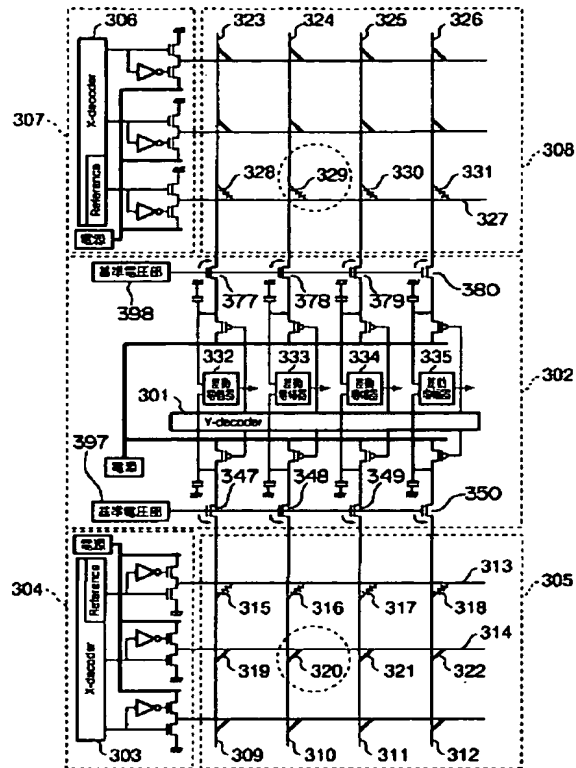
【図3】



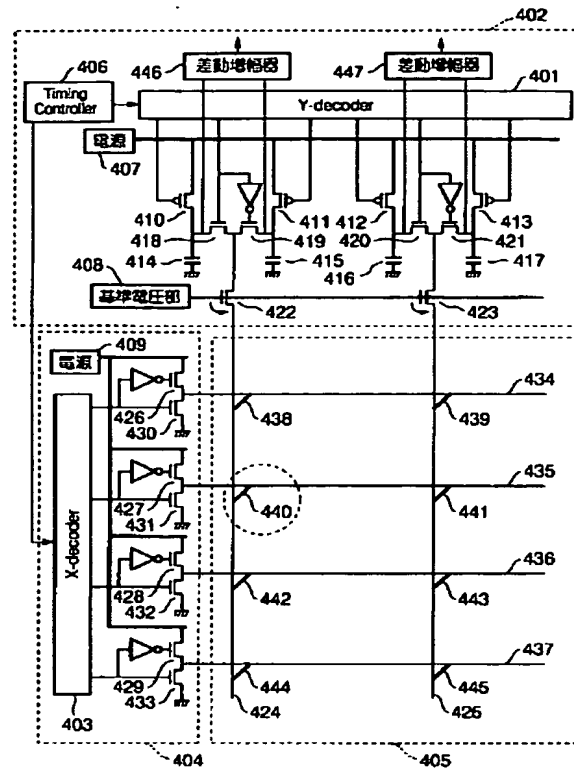
【図6】



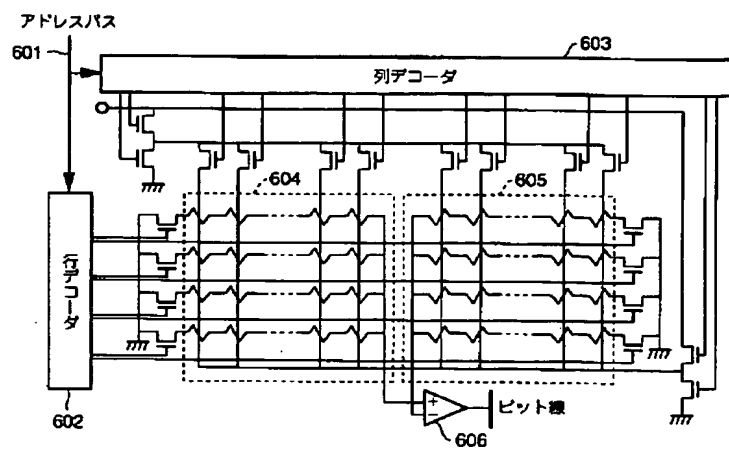
【圖 4】



【圖5】



【図7】



【図8】

